

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-057196

(43)Date of publication of application : 03.03.2005

(51)Int.Cl. H01L 21/205  
H01L 31/10  
H01L 33/00  
H01S 5/323

(21)Application number : 2003-289042

(71)Applicant : TOYODA GOSEI CO LTD  
TOYOTA CENTRAL RES & DEV LAB INC

(22)Date of filing : 07.08.2003

(72)Inventor : NAGAI SEIJI  
KOJIMA AKIRA  
YAMAZAKI SHIRO  
UBUKAWA MITSUHISA  
TOMITA KAZUYOSHI

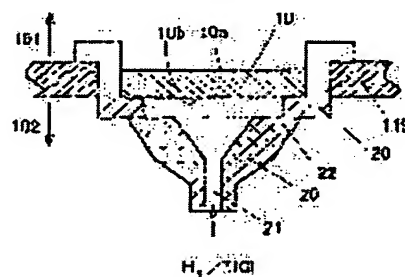
## (54) MANUFACTURING METHOD OF GROUP III NITRIDE COMPOUND SEMICONDUCTOR SUBSTRATE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a manufacturing method of a group III nitride compound semiconductor substrate by which quality such as crystal quality, warping and surface flatness and(or) productivity of the group III nitride compound semiconductor substrate are improved.

**SOLUTION:** In an epitaxial growth system 101, a halide vapor-phase epitaxy is performed with a face 10a of a template 10 as a first crystal growth surface, and on a parallel with it and simultaneously, in an etching system 102 a nitrogen (N<sub>2</sub>) gas is continuously sprayed on a face 10b (rear face of a silicon substrate A) of the template 10 at a rate of 2slm. This prevents a phenomenon of a nitride film generated on the face 10b through reaction of ammonia and silicon. After that, at a stage where a GaN layer 3 is crystallized and grown up to about 10-30 μm, a feed gas from the etching system 102 is switched to hydrogen chloride (HCl) where hydrogen (H<sub>2</sub>) that is an etching gas is a carrier gas, from nitrogen (N<sub>2</sub>) that is a nitriding prevention gas.

Then, etching is favorably and nearly uniformly performed, for there is no barriers such as nitrided film.



### LEGAL STATUS

[Date of request for examination] 30.11.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]

a monolayer or double layer said substrate layer top of the silicon substrate which has the substrate layer which consists of an III group nitride system compound semiconductor layer only on one side -- further -- 1 micrometers or more in thickness an III group nitride system compound semiconductor -- HVPE -- the approach of carrying out crystal growth by law -- it is

Before forming said substrate layer on said one side of said silicon substrate, the protective coat which prevents the nitriding reaction of said silicon substrate at the rear face of said silicon substrate in which it is located contrary to said one side is formed. After forming said substrate layer on said one side of said silicon substrate, said protective coat is removed.

It is characterized by things. The manufacture approach of an III group nitride system compound semiconductor substrate.

[Claim 2]

said silicon substrate -- said substrate layer -- MOVPE -- membranes are formed by law

It is a publication to claim 1 characterized by things. The manufacture approach of an III group nitride system compound semiconductor substrate.

[Claim 3]

the crystal growth side of a silicon substrate -- direct -- or -- the substrate layer which consists of an III group nitride system compound semiconductor layer -- minding -- 1 micrometers or more in thickness an III group nitride system compound semiconductor -- HVPE -- the approach of carrying out crystal growth by law -- it is

During the activation period of the crystal growth process by the HVPE method,

It is characterized by having the nitriding control gas blasting process that the nitriding reaction of the rear face of said silicon substrate in which it is located contrary to said crystal growth side is prevented and of spraying nitriding control gas on said rear face like at an abbreviation continuation target. The manufacture approach of an III group nitride system compound semiconductor substrate.

[Claim 4]

During the activation period of the crystal growth process by the HVPE method,

It has the nitriding control gas blasting process that the nitriding reaction of the rear face of said silicon substrate in which it is located contrary to said one side is prevented and of spraying nitriding control gas on said rear face like at an abbreviation continuation target.

It is a publication to claim 1 or claim 2 characterized by things. The manufacture approach of an III group nitride system compound semiconductor substrate.

[Claim 5]

Said substrate layer

The 1st substrate layer which consists of  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ ),

The 2nd substrate layer which consists of GaN

It considered as the double lamination which consists of \*\* two-layer.

It is a publication to any 1 term of claim 1 characterized by things thru/or claim 4. The manufacture approach of an III group nitride system compound semiconductor substrate.

[Claim 6]

Said substrate layer

It considered as the monolayer configuration which consists of  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ ).

It is a publication to any 1 term of claim 1 characterized by things thru/or claim 4. The manufacture approach of an III group nitride system compound semiconductor substrate.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[Field of the Invention]

[0001]

this invention -- a monolayer or double layer said substrate layer top of the silicon substrate which has the substrate layer which consists of an III group nitride system compound semiconductor layer only on one side -- further -- 1 micrometers or more in thickness an III group nitride system compound semiconductor -- HVPE -- it is related with the approach of carrying out crystal growth by law.

[0002]

In case this approach manufactures the crystal growth substrate of the semiconductor device of arbitration, such as semiconductor laser, LED, a photo detector, and a pressure sensor, it is greatly useful.

[Background of the Invention]

[0003]

Comparatively cheap different-species substrates, such as a silicon substrate, are used, and it is 1 micrometers or more in thickness. What is indicated by the following patent reference 1, for example as the approach of carrying out crystal growth of the III group nitride system compound semiconductor good is well-known.

[0004]

Generally, it is a different-species substrate. An III group nitride system compound semiconductor differs from a lattice constant greatly. Therefore, after forming the so-called buffer layer in these different-species substrate It is common to carry out epitaxial growth of the III group nitride system compound semiconductor. However, in case it returns to a room temperature 1000 degrees C or more after performing epitaxial growth at an elevated temperature extremely such even case, it is a different-species substrate. Great thermal stress will arise from the difference in the coefficient of thermal expansion of an III group nitride system compound semiconductor. namely, the time of cooling to a room temperature, even if it performs epitaxial growth good in a hot phase -- different-species substrate the coefficient of thermal expansion of an III group nitride system compound semiconductor is greatly different -- the interior of a different-species substrate - - and -- Much crystal defects or cracks (crack) will arise inside an III group nitride system compound semiconductor layer.

[0005]

Moreover, as for the stress generated based on a lattice constant difference, it is desirable to generate with advance of crystal growth and to eliminate as much as possible similarly about such natural stress irrespective of the existence size of a temperature change.

[Patent reference 1] JP,2003-7619,A

[Description of the Invention]

[Problem(s) to be Solved by the Invention]

[0006]

The problem of the above-mentioned background technique is surfaced or actualized when the thickness of the semiconductor by which crystal growth is carried out on a silicon substrate is 1 micrometers or more. Although the technique indicated by the above-mentioned patent reference 1 was developed in order to solve this problem, there are the following problems in the technique indicated by the above-mentioned patent reference 1.

[0007]

That is, a nitride may be generated by the rear face of a silicon substrate when a silicon substrate is used as a different-species substrate. this nitride -- MOVPE -- law and HVPE -- when the ammonia ambient atmosphere used by law etc. acts on the rear face of a silicon substrate, and is generated and until nitriding progresses deeply, the case where the dry etching of the silicon substrate within a subsequent HVPE reactor (fission reactor) becomes difficult, or etching time becomes long beyond the need may arise. Of course, this etching is carried out for eliminating the thermal stress accompanying a temperature fall in a fission reactor.

[0008]

Moreover, even when a nitride is thinly formed in the rear face of a silicon substrate, such a nitride becomes the cause by which the rear face of a silicon substrate becomes that it is hard to be etched evenly. In this case, the purpose which remains without etching a silicon substrate partially, and irregularity produces at the rear face of a silicon substrate, and should finally be gained, of course It becomes easy to produce irregularity also at the rear face of an III group nitride system compound semiconductor, and becomes the cause of a rate and a crack.

[0009]

This invention is accomplished in order to solve the above-mentioned technical problem, and industrial production of the

purpose is carried out. It is raising the quality about the crystal quality of an III group nitride system compound semiconductor, curvature, surface (hail noodles) display flatness, or electrical resistivity.

[0010]

Moreover, industrial production of the further purpose of this invention is carried out. It is raising the productivity of an III group nitride system compound semiconductor.

[0011]

However, at least, if separately attained by any one, it is enough, and not each above-mentioned purpose necessarily guarantees that a means of each means of this invention by which each invention of this application can solve all the above-mentioned technical problems to coincidence exists.

[Means for Solving the Problem]

[0012]

The following means are effective in order to solve the above-mentioned technical problem.

[0013]

That is, the 1st means of this invention is a monolayer or a double layer. The substrate layer which consists of an III group nitride system compound semiconductor layer on the substrate layer of the silicon substrate which it has only on one side further 1 micrometers or more in thickness In the production process of a semi-conductor which carries out crystal growth by law an III group nitride system compound semiconductor -- HVPE -- Before forming the above-mentioned substrate layer on one side of a silicon substrate, after forming the protective coat which prevents the nitriding reaction of a silicon substrate at the rear face of a silicon substrate in which it is located contrary to the one side and forming a substrate layer to a silicon substrate at it, it is removing a protective coat.

[0014]

however, to general "III group nitride system compound semiconductor" said here The semi-conductor of the mixed-crystal ratio of the arbitration expressed with 2 yuan, 3 yuan, or 4 yuan the general formula which " $0 \leq 1-x-y \leq 1$  [ aluminum  $1-x-y$  Ga In  $x$  N  $y$   $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ , ]" Changes is contained. Furthermore, the semi-conductors with which the impurity of p mold or n mold was added are also the criteria of these "III group nitride system compound semiconductors."

[0015]

Moreover, the above Let the semi-conductor which permuted at least the part of the III group elements (aluminum, Ga, In) with boron (B), a thallium (Tl), etc., or permuted some nitrogen [ at least ] (N) with Lynn (P), arsenic (As), antimony (Sb), a bismuth (Bi), etc. be the criteria of these "III group nitride system compound semiconductors."

[0016]

moreover -- as the impurity (acceptor) of the above-mentioned p mold -- magnesium (Mg) -- or well-known p mold impurities, such as calcium (calcium), can be added.

[0017]

Moreover, as an impurity (donor) of the above-mentioned n mold, well-known n mold impurities, such as silicon (Si), and sulfur (S), a selenium (Se), a tellurium (Te) or germanium (germanium), can be added, for example.

[0018]

Moreover, these impurities (an acceptor or donor) may add two or more elements to coincidence, and may add both molds (p mold and n mold) to coincidence.

[0019]

moreover -- as the ingredient of the above-mentioned protective coat which should be adopted -- SiO<sub>2</sub> etc. -- although excelled in fields, such as physical properties, a price, and the ease of handling, if it is an ingredient possible [ being hard to be nitrided with ammonia and removing only that protective coat afterwards alternatively as an ingredient of this protective coat, ], or easy, it is good anything.

[0020]

moreover, the 2nd means of this invention -- the 1st above-mentioned means -- setting -- the substrate layer of the above [ silicon substrate ] -- MOVPE -- it is forming membranes by law.

[0021]

moreover, the 3rd means of this invention -- the crystal growth side of a silicon substrate -- direct -- or -- The substrate layer which consists of an III group nitride system compound semiconductor layer is minded. 1 micrometers or more in thickness In the production process which carries out crystal growth by law an III group nitride system compound semiconductor -- HVPE -- It is establishing the nitriding [ from which the nitriding reaction of the rear face of a silicon substrate in which it is located contrary to a crystal growth side during the activation period of the crystal growth process by the HVPE method is prevented ] control gas blasting process which sprays nitriding control gas on an abbreviation continuation target like at a rear face.

[0022]

As crystal growth equipment which can also perform gas control by the side of such a rear face to coincidence in parallel, the above-mentioned patent reference 1 has the instantiation, for example.

[0023]

Moreover, as the above-mentioned nitriding control gas, nitrogen gas (N<sub>2</sub>), hydrogen gas (H<sub>2</sub>), etc. could be used other than rare gas, and little HCl gas etc. may be mixed with these gas.

[0024]

moreover, the 4th means of this invention -- the 1st or 2nd above-mentioned means -- setting -- HVPE -- the nitriding reaction of the rear face of a silicon substrate in which it is located contrary to above-mentioned one side during the activation period of the crystal growth process by law is prevented -- like -- the rear face -- abbreviation -- it is

establishing the nitriding control gas blasting process of spraying nitriding control gas continuously.

[0025]

Moreover, the 5th means of this invention is considering the above-mentioned substrate layer as the two-layer configuration which consists of the 1st substrate layer which consists of  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ ), and the 2nd substrate layer which consists of GaN in any above 1st thru/or 4th one means.

[0026]

In about 0.1-0.4 micrometers, the thickness of the 1st substrate layer is good and is about 0.2-0.3 micrometers more desirably. Moreover, in about 0.1-1.0 micrometers, the thickness of the 2nd substrate layer is good and is about 0.2-0.7 micrometers more desirably. Moreover, as for the sum total of the thickness of the 1st substrate layer and the 2nd substrate layer, it is desirable that it is less than 1 micrometer. The thickness of the whole substrate layer has good about 0.5-0.8 micrometers more desirably.

[0027]

In addition, it is not necessary to necessarily carry out the laminating of the 2nd substrate layer which consists of above GaN (: the configuration of claim 6). Same operation and effectiveness can be acquired also by such configuration.

[0028]

The aforementioned technical problem is rationally [ effectively or ] solvable with the means of the above this invention.

[Effect of the Invention]

[0029]

The effectiveness acquired by the means of the above this invention is as follows.

[0030]

That is, according to the 1st means of this invention, in case a substrate layer is formed, a nitride is not generated by operation of the above-mentioned protective coat at the rear face of a silicon substrate. Moreover, if this protective coat is removed after forming a substrate layer, in case etching will remove a silicon substrate afterwards, it becomes possible [ etching a silicon substrate into homogeneity ], or easy.

[0031]

Therefore, since there is neither a crack nor a crack and the irregularity of curvature, a rearrangement, and a rear face etc. can use the crystal growth substrate of very little crystalline good high quality when the semi-conductor substrate (: the target III group nitride system compound semiconductor) manufactured based on this invention is used as a substrate of a semiconductor device, it becomes possible [ manufacturing a semiconductor device with very high drive effectiveness ], or easy.

[0032]

As such a semiconductor device, semiconductor laser can be mentioned, for example. Of course, even if it is useful even, if this invention is attached to the semiconductor device of arbitration, such as LED, a photo detector, and a pressure sensor, and it is attached to these various semiconductor devices, if those semi-conductor substrates are manufactured based on this invention, in addition to this, it will become possible [ manufacturing a long lasting semiconductor device easily very highly / drive effectiveness or electrostatic pressure-proofing ] similarly.

[0033]

moreover -- according to [ although there is some HVPE equipment which cannot use aluminum (aluminum) as a raw material of the semi-conductor which carries out crystal growth now ] the 2nd means of this invention -- a substrate layer -- MOVPE -- since membranes are formed by law -- the purpose It becomes unnecessary to not necessarily form a substrate layer in the HVPE equipment used for the crystal growth of an III group nitride system compound semiconductor. Therefore, even if it is the case where such HVPE equipment is used, aluminum (aluminum) can be used for the ingredient of the layer (the 1st substrate layer) of the beginning of the substrate layer which forms membranes directly on a silicon substrate. For this reason, since the 1st substrate layer containing aluminum (aluminum) was operated good as the so-called buffer layer according to the 2nd means of this invention, crystallinity was excellent. An III group nitride system compound semiconductor can be manufactured.

[0034]

However, the substrate layer of this invention may be a monolayer configuration which consists only of the above-mentioned 1st substrate layer, and other double lamination may be used for it.

[0035]

Moreover, according to the 3rd means of this invention, neither according to the pressure of nitriding control gas, nor an operation of an air current, since an ammonia ambient atmosphere stops being able to arrive at the rear face of a silicon substrate easily, the nitriding reaction of the rear face of a silicon substrate progresses in a furnace into a crystal growth process etc. For this reason, the nitriding reaction which nitriding of the rear face of a silicon substrate etc. does not have is prevented beforehand, for example.

[0036]

Moreover, according to the 4th means of this invention, both effectiveness based on the 1st above-mentioned means and 3rd above-mentioned means can be acquired to coincidence. Or both effectiveness based on the 2nd above-mentioned means and 3rd above-mentioned means can be acquired to coincidence. Therefore, according to the 4th means of this invention, the crystal growth substrate of high quality is efficiently producible.

[0037]

Moreover, since the 1st substrate layer containing aluminum (aluminum) was operated good as the so-called buffer layer according to the 5th means of this invention, crystallinity was excellent. An III group nitride system compound semiconductor can be manufactured.

[0038]

When using the 5th means of this invention especially combining the 2nd means of this invention, it will be necessary to once take out a silicon substrate from MOVPE equipment, and to move and replace HVPE equipment. If thickness of a substrate layer is set to less than 1 micrometer even if a silicon substrate is lowered by the abbreviation room temperature at this time, there will be no possibility that the damage on a crack etc. may arise in a substrate layer with the stress based on the coefficient-of-thermal-expansion difference between a silicon substrate and a substrate layer.

[0039]

Moreover, although it is desirable to carry out a laminating in order to carry out flattening of the irregularity of the front face of the 1st substrate layer, it is not necessary to necessarily carry out the laminating of the 2nd substrate layer (: the configuration of claim 6).

[0040]

Moreover, the proper range about the thickness of the above-mentioned 1st substrate layer or the 2nd substrate layer is determined as such a situation synthetically in consideration of the proper range of the common knowledge about the thickness of a buffer layer etc. For example, the thickness of the 1st substrate layer will fall [ whether the function as a buffer layer is lost, and ] at least, if it escapes from the proper range. Moreover, if the thickness of the 2nd substrate layer is too thick, it will become easy to produce a crack in a substrate layer, and if too thin, the above-mentioned concavo-convex relaxation operation will decline.

[Best Mode of Carrying Out the Invention]

[0041]

Hereafter, this invention is explained based on a concrete example.

[0042]

However, the operation gestalt of this invention is not limited to each example shown below.

[Example 1]

[0043]

(MOVPE process by law)

Drawing 1 is the sectional view of the template 10 manufactured by the MOVPE method.

[0044]

First, silicon substrate A which makes a principal plane the field (111) which washed and carried out preheating was prepared ( drawing 1 R> 1 (a)). however -- the rear face of this silicon substrate A -- SiO<sub>2</sub> of about 0.5 micrometers of thickness from -- the protective coat B which changes is formed beforehand.

[0045]

next, the top face of this silicon substrate A -- MOVPE -- the laminating of the 1st substrate layer 1 which consists of aluminum<sub>0.2</sub>Ga<sub>0.8</sub>N of 0.25 micrometers of thickness by law, and the 2nd substrate layer 2 which consists of GaN of 0.5 micrometers of thickness is carried out one by one ( drawing 1 (b)). At this time, the raw material used trimethylaluminum (aluminum<sub>3</sub> (CH<sub>3</sub>)), trimethylgallium (Ga<sub>3</sub> (CH<sub>3</sub>)), and ammonia (NH<sub>3</sub>).

[0046]

Next, the acid removed the protective coat B of the rear face of silicon substrate A, and the template 10 which consists of silicon substrate A and a substrate layer (1 2) was obtained ( drawing 1 (c)). In drawing 1, two right angles are rotated to the sectional view of (b), and the sectional view of (c) is indicated. That is, field 10b of a template 10 is equivalent to the rear face of the above-mentioned silicon substrate A. on the other hand, field 10a of a template 10 -- following HVPE -- it is in agreement with the first crystal growth side in law.

(HVPE process by law)

then, silicon substrate A which has the above-mentioned substrate layer (1 2) -- from a rear face -- becoming independent -- HCl gas -- it installed in dirty possible HVPE equipment 100. Drawing 2 is the sectional view of the HVPE equipment 100, and drawing 3 is the sectional view of the crystal growth substrate installation section (20,120) of HVPE equipment 100. These semiconductor fabrication machines and equipment 100 are configurations which the epitaxial growth network 101 and the etching network 102 are open for free passage in the condition before installing a template 10, and are isolated by installation of a template 10.

[0047]

This thing [ separating two lines (101,102) completely ] is difficult. For this reason, in the case where this airtightness is lower, the role (operation) of the nitriding control gas spraying process of this invention becomes important. It becomes unnecessary in other words to not necessarily make the two above-mentioned airtightness high by introducing the nitriding control gas spraying process of this invention. Like the after-mentioned, this is convenient, when setting both networks as the same temperature for a short time. Semiconductor fabrication machines and equipment 100 consist of the quartz coil 110 which is the structure of vertical 2 tub, the substrate holder 120 and the etching gas installation tubing 130, V group element installation tubing 140, and III group element chloride induction 150. the III group element chloride induction 150 -- the hydrogen chloride installation tube part 151 and the III group element boat 152 -- and -- It consists of III group chloride installation tube parts 153.

[0048]

The epitaxial growth network 101 of an upper tub is the configuration of the usual HVPE. that is, a metal gallium, aluminum, or an indium is put into the III group element boat 152, and a hydrogen chloride (HCl) is introduced from the hydrogen chloride installation tube part 151 -- GaCl is turned and supplied to a template 10 from the III group chloride installation tube part 153. On the other hand, ammonia is supplied from V group element installation tubing 140. In addition, both V group element installation tubing 140 and the III group element chloride induction 150 may be supplied in the condition of having diluted with carrier gas.

[0049]

As for the etching network 102 of a lower tub, the etching gas installation tubing 130 is connected to the hole 21 of the center section of the soak plate 20. It is for details as the sectional view of drawing 3. The substrate holder 120 of the shape of a circular ring which has a level difference in the quartz coil 110 which has a circular substrate installation hole is arranged. A template 10 is installed in the circular ring-like substrate holder 120 from the upper part. The quartz coil 110 is separated into the epitaxial growth network 101 and the etching network 102 by the substrate holder 120 of the shape of a template 10 and a circular ring. The cross section of the diameter direction of the circular ring-like substrate holder 120 has the shape of Z characters or S character. The lower part with more narrow opening supports a template 10. At this time, the periphery section of inferior-surface-of-tongue 10a of a template 10 touches the circular ring-like substrate holder 120. Moreover, the upper part of the circular ring-like substrate holder 120 is a part with the largest radius, and becomes the circular substrate installation hole of the quartz coil 110 with \*\* or \*\*\*\*\* here. In this way, one field (inferior surface of tongue) 10a of a template 10 will face the epitaxial growth network 101, and field (a top face) 10b of another side of a template 10 will face the etching network 102.

[0050]

Drawing 4 is the sectional view of the semiconducting crystal which carries out crystal growth by the following HVPE methods. After [ both ] installing silicon substrate A which has a substrate layer in the above-mentioned crystal growth substrate installation section (20,120), the halide vapor growth [ of HVPE equipment 100 ] and vapor etching side (: epitaxial growth network 101 side) (: etching network 102 side) was set as 1000 degrees C, respectively.

[0051]

In this way, it sets for the epitaxial growth network 101. In the ambient atmosphere of GaCl and ammonia, perform halide vapor growth which makes field 10a of a template 10 the first crystal growth side, and it sets to coincidence in parallel to it at the etching network 102. 2slm(s) appeared in field 10b (rear face of silicon substrate A) of a template 10 comparatively, and the nitrogen (N<sub>2</sub>) gas which is one sort of inert gas was continuously sprayed on it ( drawing 4 (a): nitriding control gas blasting process). The phenomenon in which ammonia and silicon will react and a nitride will be generated by field 10b by this has been prevented.

[0052]

The amount of blasting of nitriding control gas is good at 0.5 - 5slm extent.

[0053]

Next, the GaN layer 3 switched the hydrogen (H<sub>2</sub>) which is etching gas to the hydrogen chloride (HCl) made into carrier gas in the phase which carried out crystal growth about 100 micrometers from the nitrogen (N<sub>2</sub>) which is nitriding prevention gas about the distributed gas from the etching network 102. Thereby, vapor etching of the field 10b (rear face of silicon substrate A) of a template 10 was carried out by the hydrogen chloride ( drawing 4 (b)). Since etching did not have failures, such as a nitride, at this time, everything went to abbreviation homogeneity smoothly.

[0054]

after carrying out gas dirty [ of the silicon substrate A ] completely also after that -- vapor etching -- continuing -- MOVPE -- all the substrate layers (the 1st substrate layer 1 and the 2nd substrate layer 2) formed in law were also removed, and the GaN layer 3 of about 100 micrometers of thickness was obtained ( drawing 4 (c)).

[0055]

Next, the temperature up of the substrate temperature was carried out to 1050 degrees C, and GaCl and ammonia performed halide vapor growth of the GaN layer 4 at 1050 degrees C from the top face of the GaN layer 3. The thickness of the substrate which consists of GaN layers 3 and 4 was 200 micrometers, and radius of curvature was about 5m. When this was converted into the disc-like substrate with a diameter of 5cm, the amount of the camber of the periphery section to a core was what is only 0.06mm to the tangential plane of a core. That is, the substrate ( III group nitride system compound semiconductor of the target thick film) which consists of GaN layers 3 and 4 which carried out halide vapor growth at 1050 degrees C was a substrate which does not almost have very flat curvature without a crack or a crack ( drawing 4 (e)).

[0056]

The sectional view of the crystal growth substrate installation section (20,120) of HVPE equipment 100 at that time is shown in drawing 5. the sign 30 of drawing 4 and drawing 5 -- HVPE [ more than ] -- the semiconducting crystal which grew within above HVPE equipment 100 is pointed out with the procedure of law.

[0057]

For example by the above approaches based on this invention, crystal quality is high, there is no curvature, and it is high quality with good surface display flatness. An III group nitride system compound semiconductor is efficiently producible.

[Example 2]

[0058]

The AlGaIn layer 4 of about 200 micrometers of thickness was grown up having installed the silicon substrate 1 in the HVPE equipment of an example 1, and spraying nitrogen gas (N<sub>2</sub>) on the rear face of a silicon substrate 1 at a rate of 2slm(s). The aluminum presentation ratio of this semi-conductor layer was set to about 0.2. Then, the rear face of a silicon substrate 1 was etched like the example 1. Crystal growth temperature of the AlGaIn layer 4 was made into 1000 degrees C.

[0059]

The substrate of 200 micrometers of thickness which consists of an AlGaIn layer 4 obtained as mentioned above was a substrate without a crack which was excellent in quality.

[Other modifications]

In addition, deformation which is illustrated below may be performed. The high semi-conductor substrate of quality can



be manufactured also by such deformation and application.

(Modification 1)

Although an etching stopper layer which is indicated by the patent reference 1 is not prepared in the above-mentioned example 1, as long as it is required, such an etching stopper layer may be prepared. In that case, flattening of the irregularity of the rear face of a semi-conductor substrate to be obtained finally can be carried out more certainly.

[Availability on industry]

[0060]

In case this invention manufactures the crystal growth substrate of the semiconductor device of arbitration, such as semiconductor laser, LED, a semi-conductor photo detector, and a semiconductor pressure sensor, it is greatly useful.

[0061]

That is, based on this invention, it was manufactured, for example, semiconducting crystals, such as a gallium nitride substrate, can become greatly useful as a substrate of the semiconductor device of arbitration, such as a light emitting device, a photo detector, and a pressure sensor.

[Brief Description of the Drawings]

[0062]

[Drawing 1] The sectional view of the template 10 manufactured by the MOVPE method

[Drawing 2] The sectional view of HVPE equipment 100

[Drawing 3] The sectional view of the crystal growth substrate installation section (20,120) of HVPE equipment 100

[Drawing 4] The sectional view of the semiconducting crystal which carries out crystal growth by the HVPE method

[Drawing 5] The sectional view of the crystal growth substrate installation section (20,120) of HVPE equipment 100

[Description of Notations]

[0063]

A : Silicon substrate

B : Protective coat (SiO<sub>2</sub>)

1 : 1st Substrate Layer (AlGa<sub>N</sub> Layer)

2 : 2nd Substrate Layer (Ga<sub>N</sub> Layer)

3 : Ga<sub>N</sub> Layer ( III Group Nitride System Compound Semiconductor of the Target Thick Film)

4 : Ga<sub>N</sub> Layer or AlGa<sub>N</sub> Layer ( III Group Nitride System Compound Semiconductor of the Target Thick Film)

10 : Template

20 : Soak Plate

30 : Semiconducting Crystal Which Grew by the HVPE Method

100 : HVPE Equipment

120 : Substrate Holder

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[0062]

[Drawing 1] The sectional view of the template 10 manufactured by the MOVPE method

[Drawing 2] The sectional view of HVPE equipment 100

[Drawing 3] The sectional view of the crystal growth substrate installation section (20,120) of HVPE equipment 100

[Drawing 4] The sectional view of the semiconducting crystal which carries out crystal growth by the HVPE method

[Drawing 5] The sectional view of the crystal growth substrate installation section (20,120) of HVPE equipment 100

---

[Translation done.]

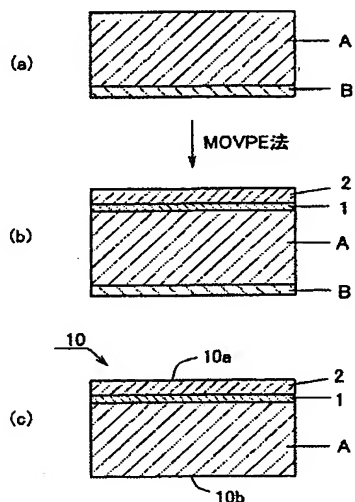
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

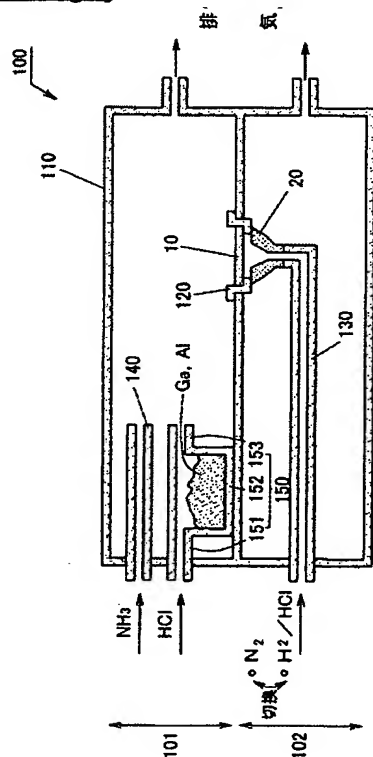
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

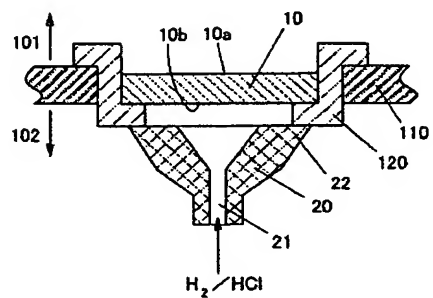
[Drawing 1]



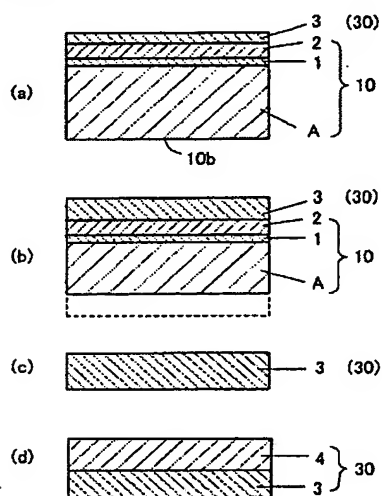
[Drawing 2]



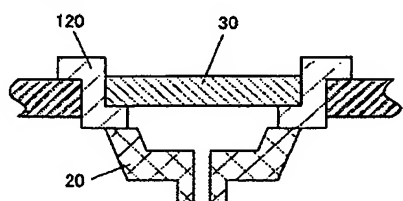
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-57196

(P2005-57196A)

(43) 公開日 平成17年3月3日(2005.3.3)

(51) Int. Cl.<sup>7</sup>

H01L 21/205

H01L 31/10

H01L 33/00

H01S 5/323

F1

H01L 21/205

H01L 33/00

H01S 5/323 610

H01L 31/10

C

A

テーマコード(参考)

5F041

5F045

5F049

5F073

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号

特願2003-289042(P2003-289042)

(22) 出願日

平成15年8月7日(2003.8.7)

(71) 出願人

000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑1番地

(74) 代理人

100087723

弁理士 藤谷 修

(71) 出願人

000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番地の1

(72) 発明者

永井 誠二

愛知県西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内

最終頁に続く

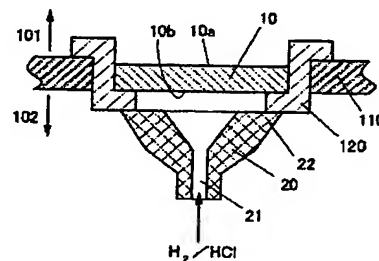
(54) 【発明の名称】 III族窒化物系化合物半導体基板の製造方法

(57) 【要約】 (修正有)

【課題】 III族窒化物系化合物半導体の結晶品質、反り、表面平坦度などに関する品質や、或いは生産性を向上させること。

【解決手段】 エピタキシャル成長系統101においては、テンプレート10の面10aを最初の結晶成長面とするハライド気相成長を行い、それと並行して同時にエッチング系統102においては、テンプレート10の面10b(シリコン基板Aの裏面)に窒素(N<sub>2</sub>)ガスを2s1mの割合で継続的に吹き付けた。これにより、アンモニアとシリコンが反応して面10bに窒化膜が生成されてしまう現象が防止できた。次に、GaN層3が10~30μm程度結晶成長した段階でエッチング系統102からの供給ガスを窒化防止ガスである窒素(N<sub>2</sub>)からエッチングガスである水素(H<sub>2</sub>)をキャリアガスとする塩化水素(HCl)に切り換えた。この時、エッチングは窒化膜などの障害がないため略均一に順調に進んだ。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

単層又は複層の III族窒化物系化合物半導体層から成る下地層を片面のみに有するシリコン基板の前記下地層の上に更に、厚さ  $1\mu\text{m}$  以上の III族窒化物系化合物半導体を H V P E 法により結晶成長させる方法であって、

前記シリコン基板の前記片面に前記下地層を成膜する前に、前記片面とは反対に位置する前記シリコン基板の裏面に、前記シリコン基板の窒化反応を阻止する保護膜を成膜し、

前記シリコン基板の前記片面に前記下地層を成膜した後に、前記保護膜を除去することを特徴とする III族窒化物系化合物半導体基板の製造方法。

## 【請求項 2】

前記シリコン基板に前記下地層を M O V P E 法により成膜することを特徴とする請求項 1 に記載の III族窒化物系化合物半導体基板の製造方法。

## 【請求項 3】

シリコン基板の結晶成長面に、直接又は III族窒化物系化合物半導体層から成る下地層を介して、厚さ  $1\mu\text{m}$  以上の III族窒化物系化合物半導体を H V P E 法により結晶成長させる方法であって、

H V P E 法による結晶成長工程の実行期間中に、

前記結晶成長面とは反対に位置する前記シリコン基板の裏面の窒化反応が阻止される様に、前記裏面に略継続的に窒化抑制ガスを吹き付ける窒化抑制ガス吹き付け工程を有することを特徴とする III族窒化物系化合物半導体基板の製造方法。

## 【請求項 4】

H V P E 法による結晶成長工程の実行期間中に、

前記片面とは反対に位置する前記シリコン基板の裏面の窒化反応が阻止される様に、前記裏面に略継続的に窒化抑制ガスを吹き付ける窒化抑制ガス吹き付け工程を有することを特徴とする請求項 1 または請求項 2 に記載の III族窒化物系化合物半導体基板の製造方法。

## 【請求項 5】

前記下地層を

$\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ ) から成る第 1 下地層と、

$\text{GaN}$  から成る第 2 下地層と

の 2 層から成る複層構成とした

ことを特徴とする請求項 1 乃至請求項 4 の何れか 1 項に記載の III族窒化物系化合物半導体基板の製造方法。

## 【請求項 6】

前記下地層を

$\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 < x \leq 1$ ) から成る単層構成とした

ことを特徴とする請求項 1 乃至請求項 4 の何れか 1 項に記載の III族窒化物系化合物半導体基板の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、単層又は複層の III族窒化物系化合物半導体層から成る下地層を片面のみに有するシリコン基板の前記下地層の上に更に、厚さ  $1\mu\text{m}$  以上の III族窒化物系化合物半導体を H V P E 法により結晶成長させる方法に関する。

## 【0002】

この方法は、例えば半導体レーザ、LED、受光素子、圧力センサなどの任意の半導体素子の結晶成長基板を製造する際に、大いに有用なものである。

## 【背景技術】

## 【0003】

シリコン基板などの比較的安価な異種基板を用いて厚さ  $1\mu\text{m}$  以上の III族窒化物系

10

20

30

40

50

合物半導体を良好に結晶成長させる方法としては、例えば下記の特許文献1に記載されているものなどが公知である。

【0004】

一般に、異種基板は III族窒化物系化合物半導体と格子定数が大きく異なる。そのためそれら異種基板にいわゆるバッファ層を形成したのち III族窒化物系化合物半導体をエピタキシャル成長させることが一般的である。しかし、このような場合でも、1000℃以上の極めて高温でエピタキシャル成長を行ったのち室温に戻す際、異種基板と III族窒化物系化合物半導体の熱膨張係数の違いから多大な熱応力が生じてしまう。即ち、たとえ高温の段階では良好なエピタキシャル成長を行ったとしても、室温に冷却する際に、異種基板と III族窒化物系化合物半導体の熱膨張係数が大きく違うことにより、異種基板内部及び III族窒化物系化合物半導体層内部で結晶欠陥又は亀裂（クラック）が多数生じることとなる。

10

【0005】

また、格子定数差に基づいて発生する応力は、温度変化の有無大小に係わらず結晶成長の進行に伴って発生するものであり、勿論その様な応力についても同様に、極力排除することが望ましい。

【特許文献1】特開2003-7619

【発明の開示】

【発明が解決しようとする課題】

【0006】

上記の背景技術の問題は、シリコン基板上に結晶成長される半導体の厚さが1μm以上の場合に、表面化或いは顕在化する。この問題を解決するために、上記の特許文献1に記載されている技術が開発されたが、上記の特許文献1に記載されている技術には、以下の問題がある。

20

【0007】

即ち、異種基板としてシリコン基板を用いた場合、シリコン基板の裏面に窒化膜が生成されてしまうことがある。この窒化膜は、MOVPE法やHVPE法などで用いられるアンモニア雰囲気シリコン基板の裏面に作用して生成されるものであり、深くまで窒化が進むと、その後のHVPE反応装置（反応炉）内でのシリコン基板のドライエッチングが困難となったり、或いは必要以上にエッチング時間が長くなったりする場合が生じ得る。このエッチングを反応炉内で実施するのは、勿論、降温に伴う熱応力を排除するためである。

30

【0008】

また、窒化膜がシリコン基板の裏面に薄く形成された場合でも、その様な窒化膜は、シリコン基板の裏面が平坦にエッチングされ難くなる原因となる。この場合、シリコン基板が部分的にエッチングされずに残ってしまい、シリコン基板の裏面に凹凸が生じ、勿論、最終的に得るべき目的の III族窒化物系化合物半導体の裏面にも凹凸が生じ易くなり、割、クラックの原因となる。

【0009】

本発明は、上記の課題を解決するために成されたものであり、その目的は、工業生産する III族窒化物系化合物半導体の結晶品質、反り、表面（ひょうめん）平坦度、或いは電気抵抗率などに関する品質を向上させることである。

40

【0010】

また、本発明の更なる目的は、工業生産する III族窒化物系化合物半導体の生産性を向上させることである。

【0011】

ただし、上記の個々の目的は、本発明の個々の手段の内の少なくとも何れか1つによって、個々に達成されれば十分なのであって、本願の個々の発明は、上記の全ての課題を同時に解決し得る手段が存在することを必ずしも保証するものではない。

【課題を解決するための手段】

50

## 【0012】

上記の課題を解決するためには、以下の手段が有効である。

## 【0013】

即ち、本発明の第1の手段は、単層又は複層の III族窒化物系化合物半導体層から成る下地層を片面のみに有するシリコン基板の下地層の上に更に、厚さ  $1\mu\text{m}$  以上の III族窒化物系化合物半導体を H V P E 法により結晶成長させる、半導体の製造工程において、シリコン基板の片面に上記の下地層を成膜する前に、その片面とは反対に位置するシリコン基板の裏面に、シリコン基板の窒化反応を阻止する保護膜を成膜し、かつ、シリコン基板に下地層を成膜した後に、保護膜を除去することである。

## 【0014】

ただし、ここで言う「III族窒化物系化合物半導体」一般には、2元、3元、又は4元の「 $\text{Al}_{1-x-y}\text{Ga}_y\text{In}_x\text{N}$ ;  $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq 1-x-y \leq 1$ 」成る一般式で表される任意の混晶比の半導体が含まれ、更に、p型或いはn型の不純物が添加された半導体もまた、これらの「III族窒化物系化合物半導体」の範疇である。

## 【0015】

また、上記の III族元素 (Al, Ga, In) の内の少なくとも一部をボロン (B) やタリウム (Tl) 等で置換したり、或いは、窒素 (N) の少なくとも一部をリン (P)、砒素 (As)、アンチモン (Sb)、ビスマス (Bi) 等で置換したりした半導体等をもまた、これらの「III族窒化物系化合物半導体」の範疇とする。

## 【0016】

また、上記の p 型の不純物 (アクセプター) としては、例えば、マグネシウム (Mg) や、或いはカルシウム (Ca) 等の公知の p 型不純物を添加することができる。

## 【0017】

また、上記の n 型の不純物 (ドナー) としては、例えば、シリコン (Si) や、硫黄 (S)、セレン (Se)、テルル (Te)、或いはゲルマニウム (Ge) 等の公知の n 型不純物を添加することができる。

## 【0018】

また、これらの不純物 (アクセプター又はドナー) は、同時に2元素以上を添加しても良いし、同時に両型 (p型とn型) を添加しても良い。

## 【0019】

また、採用すべき上記の保護膜の材料としては、例えば  $\text{SiO}_2$  などが物性、価格、取り扱いの容易性などの面で優れているが、この保護膜の材料としては、アンモニアによって窒化され難く、かつ、後からその保護膜だけを選択的に除去することが可能または容易な材料であれば何でも良い。

## 【0020】

また、本発明の第2の手段は、上記の第1の手段において、シリコン基板に上記の下地層を M O V P E 法により成膜することである。

## 【0021】

また、本発明の第3の手段は、シリコン基板の結晶成長面に、直接又は III族窒化物系化合物半導体層から成る下地層を介して、厚さ  $1\mu\text{m}$  以上の III族窒化物系化合物半導体を H V P E 法により結晶成長させる製造工程において、H V P E 法による結晶成長工程の実行期間中に、結晶成長面とは反対に位置するシリコン基板の裏面の窒化反応が阻止される様に、裏面に略継続的に窒化抑制ガスを吹き付ける窒化抑制ガス吹き付け工程を設けることである。

## 【0022】

この様な裏面側のガス制御をも並行して同時に実行できる結晶成長装置としては、例えば前述の特許文献1にその例示がある。

## 【0023】

また、上記の窒化抑制ガスとしては、希ガスの他に、窒素ガス ( $\text{N}_2$ ) や水素ガス ( $\text{H}_2$ ) などを用いることができ、また、これらのガスには、少量の  $\text{HCl}$  ガスなどが混ざっ

10

20

30

40

50



ていても良い。

【0024】

また、本発明の第4の手段は、上記の第1または第2の手段において、HVP E法による結晶成長工程の実行期間中に、上記の片面とは反対に位置するシリコン基板の裏面の窒化反応が阻止される様に、その裏面に略継続的に窒化抑制ガスを吹き付ける窒化抑制ガス吹き付け工程を設けることである。

【0025】

また、本発明の第5の手段は、上記の第1乃至第4の何れか1つの手段において、上記の下地層を、 $Al_x Ga_{1-x} N$  ( $0 < x \leq 1$ ) から成る第1下地層とGaNから成る第2下地層から成る2層構成とすることである。

【0026】

第1下地層の膜厚は、 $0.1 \sim 0.4 \mu m$ 程度で良く、より望ましくは $0.2 \sim 0.3 \mu m$ 程度である。また、第2下地層の膜厚は、 $0.1 \sim 1.0 \mu m$ 程度で良く、より望ましくは $0.2 \sim 0.7 \mu m$ 程度である。また、第1下地層と第2下地層の膜厚の合計は、 $1 \mu m$ 未満であることが望ましい。より望ましくは、下地層全体の厚さは、 $0.5 \sim 0.8 \mu m$ 程度が良い。

【0027】

尚、上記のGaNから成る第2下地層は必ずしも積層しなくとも良い（：請求項6の構成）。この様な構成によっても、同様の作用・効果を得ることができる。

【0028】

以上の本発明の手段により、前記の課題を効果的、或いは合理的に解決することができる。

【発明の効果】

【0029】

以上の本発明の手段によって得られる効果は以下の通りである。

【0030】

即ち、本発明の第1の手段によれば、上記の保護膜の作用により、下地層を成膜する際にシリコン基板の裏面に窒化膜が生成されない。また、下地層を形成した後にこの保護膜を除去しておけば、後からエッチングによりシリコン基板を除去する際に、シリコン基板を均一にエッチングすることが可能または容易となる。

【0031】

したがって、本発明に基づいて製造された半導体基板（：目的のIII族窒化物系化合物半導体）を半導体デバイスの基板として用いた場合、割れやクラックが無く、反り、転位、裏面の凹凸なども極めて少ない結晶性の良質な高品質の結晶成長基板を使用できるので、極めて駆動効率の高い半導体デバイスを製造することが可能または容易となる。

【0032】

この様な半導体デバイスとしては、例えば半導体レーザを挙げることができる。勿論その他にも、本発明は、例えばLED、受光素子、圧力センサなどの任意の半導体デバイスに付いても有用であり、これらの各種半導体デバイスに付いても同様に、本発明に基づいてそれらの半導体基板を製造すれば、極めて駆動効率や静電耐圧の高い、或いは長寿命の半導体デバイスを容易に製造することが可能となる。

【0033】

また、現在、HVP E装置の中には、結晶成長させる半導体の原料としてアルミニウム(A1)を使用することができないものもあるが、本発明の第2の手段によれば、下地層をMOVPE法により成膜するので、目的のIII族窒化物系化合物半導体の結晶成長に用いるHVP E装置においては、必ずしも下地層を形成する必要がなくなる。したがって、そのようなHVP E装置を用いる場合であっても、シリコン基板上に直接成膜する下地層の最初の層（第1下地層）の材料にアルミニウム(A1)を使用することができる。このため、本発明の第2の手段によれば、アルミニウム(A1)を含んだ第1下地層を所謂バッファ層として良好に機能させることができるので、結晶性の優れたIII族窒化物系化合

物半導体を製造することができる。

【0034】

ただし、本発明の下地層は、上記の第1下地層のみから成る単層構成であっても良いし、その他の複層構成を採用しても良い。

【0035】

また、本発明の第3の手段によれば、窒化抑制ガスの圧力や気流の作用により、シリコン基板の裏面にアンモニア雰囲気が到達し難くなるので、結晶成長工程中などに炉内でシリコン基板の裏面の窒化反応が進むことはない。このため、例えばシリコン基板の裏面の窒化などの望ましくない窒化反応が未然に防止される。

【0036】

また、本発明の第4の手段によれば、上記の第1の手段と第3の手段に基づく双方の効果を同時に得ることができる。或いは、上記の第2の手段と第3の手段に基づく双方の効果を同時に得ることができる。したがって、本発明の第4の手段によれば、高品質の結晶成長基板を効率よく生産することができる。

【0037】

また、本発明の第5の手段によれば、アルミニウム (Al) を含んだ第1下地層を所謂バッファ層として良好に機能させることができるので、結晶性の優れた III族窒化物系化合物半導体を製造することができる。

【0038】

特に、本発明の第5の手段を本発明の第2の手段と組み合わせて用いる場合には、シリコン基板をMOVPE装置から一旦取り出して、HVPE装置に移し替える必要が生じる。この時に、シリコン基板が略室温に降温されても、下地層の膜厚を1  $\mu$ m未満にしておけば、シリコン基板と下地層の間の熱膨張係数差に基づく応力によって、クラックなどの損傷が下地層に生じる恐れがない。

【0039】

また、第2下地層は、第1下地層の表面の凹凸を平坦化するために積層しておくことが望ましいが、必ずしも積層しなくとも良い（：請求項6の構成）。

【0040】

また、上記の第1下地層や第2下地層の膜厚に関する適正範囲は、このような事情と、バッファ層の膜厚に関する周知の適正範囲などを総合的に考慮して、決定されたものである。例えば、第1下地層の膜厚は、適正範囲を脱するとバッファ層としての機能がなくなるか少なくとも低下する。また、第2下地層の膜厚が厚過ぎると、下地層にクラックが生じ易くなり、薄過ぎると上記の凹凸緩和作用が衰える。

【発明を実施するための最良の形態】

【0041】

以下、本発明を具体的な実施例に基づいて説明する。

【0042】

ただし、本発明の実施形態は、以下に示す個々の実施例に限定されるものではない。

【実施例1】

【0043】

(MOVPE法による工程)

図1は、MOVPE法で製造されたテンプレート10の断面図である。

【0044】

まず、洗浄し、予備加熱した(111)面を主面とするシリコン基板Aを用意した(図1(a))。ただし、このシリコン基板Aの裏面には、膜厚約0.5  $\mu$ mのSiO<sub>2</sub>から成る保護膜Bが予め成膜されている。

【0045】

次に、このシリコン基板Aの上面にMOVPE法により膜厚0.25  $\mu$ mのAl<sub>0.2</sub>Ga<sub>0.8</sub>Nから成る第1下地層1と、膜厚0.5  $\mu$ mのGa<sub>0.5</sub>Nから成る第2下地層2を順次積層する(図1(b))。このとき原料はトリメチルアルミニウム (Al(CH<sub>3</sub>)<sub>3</sub>)、トリメチルガ

リウム ( $\text{Ga}(\text{CH}_3)_3$ )、アンモニア ( $\text{NH}_3$ ) を用いた。

#### 【0046】

次に、シリコン基板Aの裏面の保護膜Bを酸により除去して、シリコン基板Aと下地層(1, 2)から成るテンプレート10を得た(図1(c))。図1においては、(c)の断面図は、(b)の断面図に対して2直角回転させて記載されている。即ち、テンプレート10の面10bが上記のシリコン基板Aの裏面に相当する。他方、テンプレート10の面10aは、以下のHVPE法における最初の結晶成長面に一致する。

(HVPE法による工程)

その後、上記の下地層(1, 2)を有するシリコン基板Aを裏面から独立してHClガスエッチ可能なHVPE装置100に設置した。図2はそのHVPE装置100の断面図であり、図3はHVPE装置100の結晶成長基板設置部(20, 120)の断面図である。この半導体製造装置100は、エピタキシャル成長系統101とエッチング系統102とが、テンプレート10を設置する前の状態においては連通しており、テンプレート10の設置により隔離される構成である。

#### 【0047】

この2系統(101, 102)を完全に分離することは困難である。このため、この気密性が低い場合ほど、本発明の窒化抑制ガス吹きつけ工程の役割(作用)が重要になってくる。言い換えれば、本発明の窒化抑制ガス吹きつけ工程を導入することにより、上記2系統の気密性を必ずしも高くする必要がなくなる。これは、例えば後述の様に、両系統を短時間で同一温度に設定する場合などには都合がよい。半導体製造装置100は、上下2槽の構造である石英反応管110と、基板保持具120、エッチングガス導入管130、V族元素導入管140、III族元素塩化物導入部150から構成される。III族元素塩化物導入部150は、塩化水素導入管部151、III族元素ポート152及びIII族塩化物導入管部153から構成される。

#### 【0048】

上槽のエピタキシャル成長系統101は、通常のHVPEの構成である。即ち、III族元素ポート152に金属ガリウム、アルミニウム、又はインジウムを入れ、塩化水素導入管部151から塩化水素(HCl)を導入し、III族塩化物導入管部153からGaClをテンプレート10に向け供給する。一方、V族元素導入管140からはアンモニアが供給される。尚、V族元素導入管140、III族元素塩化物導入部150のいずれも、キャリアガスによって希釈した状態で供給しても良い。

#### 【0049】

下槽のエッチング系統102は、エッチングガス導入管130が、均熱板20の中央部の孔21に接続される。詳細は図3の断面図の通りである。円形の基板設置孔を有する石英反応管110に、段差を有する円環状の基板保持具120が配置される。円環状の基板保持具120に、上方からテンプレート10が設置される。テンプレート10と円環状の基板保持具120により、石英反応管110はエピタキシャル成長系統101と、エッチング系統102とに分離される。円環状の基板保持具120は、直径方向の断面がZ字又はS字状である。そのより開口部の狭い下部がテンプレート10を支える。このとき、テンプレート10の下面10aの周縁部が円環状の基板保持具120と接する。また、円環状の基板保持具120の上部は、最も半径の大きい部分であり、ここで石英反応管110の円形の基板設置孔に懸かる構成となる。こうして、エピタキシャル成長系統101にはテンプレート10の一方の面(下面)10aが、エッチング系統102にはテンプレート10の他方の面(a上面)10bが面することとなる。

#### 【0050】

図4は、以下のHVPE法で結晶成長する半導体結晶の断面図である。上記の結晶成長基板設置部(20, 120)に下地層を有するシリコン基板Aを設置した後は、HVPE装置100のハライド気相成長側(：エピタキシャル成長系統101側)と、ガスエッチング側(：エッチング系統102側)を、それぞれ共に1000℃に設定した。

#### 【0051】

こうして、エピタキシャル成長系統101においては、GaClとアンモニアの雰囲気中でテンプレート10の面10aを最初の結晶成長面とするハライド気相成長を行い、それと並行して同時にエッチング系統102においては、テンプレート10の面10b（シリコン基板Aの裏面）に不活性ガスの1種である窒素（N<sub>2</sub>）ガスを2s1mの割合で継続的に吹き付けた（図4（a）：窒化抑制ガス吹き付け工程）。これにより、アンモニアとシリコンが反応して面10bに窒化膜が生成されてしまう現象が防止できた。

【0052】

窒化抑制ガスの吹き付け量は、0.5～5s1m程度で良い。

【0053】

次に、GaN層3が100μm程度結晶成長した段階で、エッチング系統102からの供給ガスを窒化防止ガスである窒素（N<sub>2</sub>）からエッチングガスである水素（H<sub>2</sub>）をキャリアガスとした塩化水素（HCl）に切り換えた。これにより、テンプレート10の面10b（シリコン基板Aの裏面）を塩化水素でガスエッチングしていった（図4（b））。この時、エッチングは、窒化膜などの障害がないため、略均一に順調に進んだ。

【0054】

その後も、シリコン基板Aを完全にガスエッチしたのちもガスエッチングを継続し、MOVPE法にて形成した下地層（第1下地層1と第2下地層2）をも全て除去して、膜厚約100μmのGaN層3を得た（図4（c））。

【0055】

次に、基板温度を1050℃に昇温して、GaClとアンモニアにより、GaN層3の上面からGaN層4のハライド気相成長を1050℃で行った。GaN層3、4からなる基板の膜厚は200μmで、曲率半径は約5mであった。これは、直径5cmの円盤状の基板に換算すると、中心部に対する周縁部のそのり量は中心部の接平面に対して0.06mmに過ぎないものであった。即ち、1050℃でハライド気相成長させたGaN層3、4からなる基板（目的の厚膜のIII族窒化物系化合物半導体）は、割れやクラックが無い極めて平坦な、反りのほとんどない基板であった（図4（e））。

【0056】

図5に、その時の、HVPE装置100の結晶成長基板設置部（20, 120）の断面図を示す。図4、図5の符号30は、以上のHVPE法の手順によって、上記のHVPE装置100内で成長した半導体結晶を指している。

【0057】

本発明に基づく例えば以上の様な方法により、結晶品質が高く、反りが無く、表面平坦度の良好な高品質のIII族窒化物系化合物半導体を効率よく生産することができる。

【実施例2】

【0058】

シリコン基板1を実施例1のHVPE装置に設置し、シリコン基板1の裏面に窒素ガス（N<sub>2</sub>）を2s1mの割合で吹き付けながら、膜厚約200μmのAlGaN層4を成長した。この半導体層のアルミニウム組成比は、約0.2とした。その後、実施例1と同様に、シリコン基板1の裏面をエッチングした。AlGaN層4の結晶成長温度は1000℃とした。

【0059】

以上の様にして得られたAlGaN層4からなる膜厚200μmの基板は、クラックのない、品質の優れた基板であった。

【その他の変形例】

その他にも以下に例示される様な変形を行っても良い。この様な変形や応用によっても、品質の高い半導体基板を製造できる。

（変形例1）

上記の実施例1では、特許文献1に開示されている様なエッチングストッパ層を設けていないが、必要ならばその様なエッチングストッパ層を設けても良い。その場合には、最終的に得られる目的の半導体基板の裏面の凹凸をより確実に平坦化することができる。

10

20

30

40

50

## 【産業上の利用可能性】

## 【0060】

本発明は、例えば半導体レーザ、LED、半導体受光素子、半導体圧力センサなどの任意の半導体デバイスの結晶成長基板を製造する際に、大いに有用なものである。

## 【0061】

即ち、本発明に基づいて製造された、例えば窒化ガリウム基板などの半導体結晶は、発光素子、受光素子、圧力センサなどの任意の半導体デバイスの基板として大いに有用となり得る。

## 【図面の簡単な説明】

## 【0062】

【図1】 MOVPE法で製造されたテンプレート10の断面図

10

【図2】 HVPE装置100の断面図

【図3】 HVPE装置100の結晶成長基板設置部(20, 120)の断面図

【図4】 HVPE法で結晶成長する半導体結晶の断面図

【図5】 HVPE装置100の結晶成長基板設置部(20, 120)の断面図

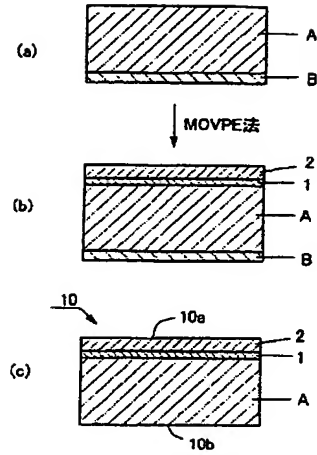
## 【符号の説明】

## 【0063】

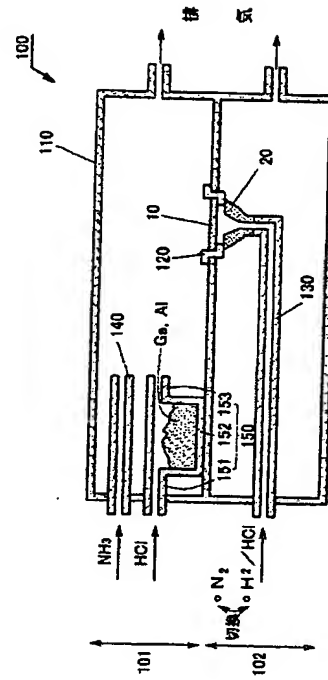
- A : シリコン基板
- B : 保護膜(SiO<sub>2</sub>)
- 1 : 第1下地層(AlGa<sub>x</sub>N層)
- 2 : 第2下地層(GaN層)
- 3 : GaN層(目的の厚膜のIII族窒化物系化合物半導体)
- 4 : GaN層又はAlGa<sub>x</sub>N層(目的の厚膜のIII族窒化物系化合物半導体)
- 10 : テンプレート
- 20 : 均熱板
- 30 : HVPE法により成長した半導体結晶
- 100 : HVPE装置
- 120 : 基板保持具

20

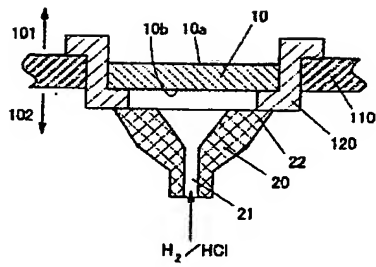
【図 1】



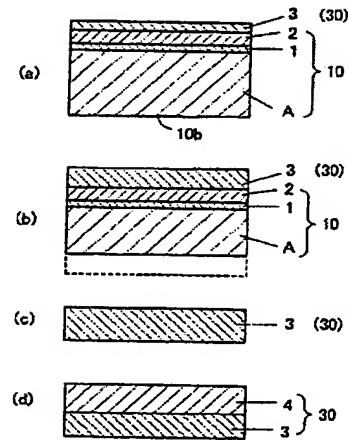
【図 2】



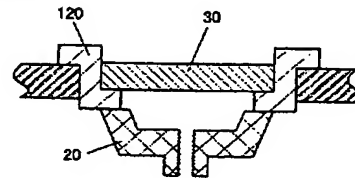
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 小島 彰

愛知県西春日井郡春日町大字落合字長畑 1 番地 豊田合成株式会社内

(72)発明者 山崎 史郎

愛知県西春日井郡春日町大字落合字長畑 1 番地 豊田合成株式会社内

(72)発明者 生川 満久

愛知県西春日井郡春日町大字落合字長畑 1 番地 豊田合成株式会社内

(72)発明者 富田 一義

愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株式会社豊田中央研究所内

F ターム(参考) 5F041 AA03 CA40 CA64 CA74

5F045 AA01 AA04 AB14 AB17 AB32 AC03 AC08 AC12 AC13 AC15

AD13 AF03 BB01 BB11 BB16 CA12 DA53

5F049 MB07 NA01 PA03 PA14 PA20 SS04

5F073 CA07 CB02 DA04 DA21 DA35